

PAT-NO: JP409073093A

DOCUMENT-IDENTIFIER: JP 09073093 A

TITLE: LIQUID CRYSTAL DISPLAY DEVICE AND ITS
PRODUCTION

PUBN-DATE: March 18, 1997

INVENTOR-INFORMATION:

NAME

MIYAZAKI, DAISUKE

HASEGAWA, MAKOTO

KURAUCHI, SHOICHI

MIDORIKAWA, TERUYUKI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA ELECTRON ENG CORP

TOSHIBA CORP

COUNTRY

N/A

N/A

APPL-NO: JP07228968

APPL-DATE: September 6, 1995

INT-CL (IPC): G02F001/1339, G02F001/1343 , G02F001/136

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a liquid crystal display device having good display performance at a high yield by forming columnar spacers at a high density in the regions of the display in the outer peripheral parts of substrates, thereby decreasing the display defects by a cell gap defect.

SOLUTION: A counter substrate 2 is constituted by forming black light shielding layers 11 on a glass substrate 10 and three colors of colored layers 12 (R), 12 (G), 12 (B) in the spacings between the black light shielding layers

11. The parts between respective pixels are formed to a matrix shape and the outer periphery parts are formed to a broad band shape. The inner side of the light shielding layers 11 disposed in the outer peripheral parts thereof is formed as the display regions. The parts including the light shielding layers 11 disposed in the outer periphery parts and the side outer than these layers are formed as the regions off the display. The outer side of a sealing material 4 is included in the regions off the display as well and further, the columnar spacers 13 are built into the display regions and the regions off the display of the counter substrate 2. The columnar spacers 13 are formed on the light shielding layers 11 and the density of the number of pieces of the columnar spacers 13 formed in the regions off the display is set higher than the density of the number of pieces of the columnar spacers formed in the display regions.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-73093

(43) 公開日 平成9年(1997)3月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1339	5 0 0	G 0 2 F 1/1339	5 0 0
	1/1343		1/1343	
	1/136	5 0 0	1/136	5 0 0

審査請求 未請求 請求項の数11 O L (全 6 頁)

(21) 出願番号 特願平7-228968
(22) 出願日 平成7年(1995)9月6日

(71) 出願人 000221339
東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 宮崎 大輔
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 長谷川 誠
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 弁理士 外川 英明

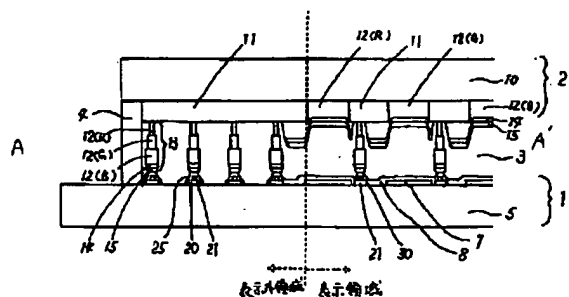
最終頁に続く

(54) 【発明の名称】 液晶表示装置、及びその製造方法

(57) 【要約】

【課題】 本発明は、液晶表示装置のセルギャップ不良による表示不良を改善することを目的とする。

【解決手段】 柱状スペーサー13を表示外領域にも形成し、表示外領域は柱状スペーサー13の本数を密にする。または、表示外領域は柱状スペーサー13の太さを太くする。これにより、アレイ基板1と対向基板2との貼り合わせの時に基板周辺部に強い圧力が掛かってもセルギャップが正常に保たれ、表示不良を防止することができる。



1

【特許請求の範囲】

【請求項1】 第1の基板と第2の基板とに液晶が挟持され、

前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、前記液晶に電圧を与える第1の透明電極とを備え、

前記第2の基板には前記液晶に電圧を与える第2の透明電極を備えた液晶表示装置において、

前記液晶表示装置は外周部に表示を行わない表示外領域と、その内側に表示を行う表示領域とが存在し、前記表示外領域に形成された前記柱状スペーサーの本数の密度は、前記表示領域に形成された前記柱状スペーサーの本数の密度より高いことを特徴とする液晶表示装置。

【請求項2】 前記表示外領域に形成された柱状スペーサーの本数の密度は前記表示領域から遠ざかるほど高いことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記表示外領域は表示領域からの距離により複数の領域に分割され、分割された領域のうち表示領域から遠い領域ほど前記柱状スペーサーの本数の密度が高いことを特徴とする請求項1記載の液晶表示装置。

【請求項4】 第1の基板と第2の基板とに液晶が挟持され、

前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、前記液晶に電圧を与える第1の透明電極とを備え、

前記第2の基板には前記液晶に電圧を与える透明電極を備えた液晶表示装置において、

前記液晶表示装置は外周部に表示を行わない表示外領域と、その内側に表示を行う表示領域とが存在し、前記表示外領域に形成された前記柱状スペーサーの体積が、前記表示領域に形成された前記柱状スペーサーの体積より大きいことを特徴とする液晶表示装置。

【請求項5】 前記表示外領域に形成された柱状スペーサーの体積は前記表示領域から遠ざかるほど大きいことを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記表示外領域は表示領域からの距離により複数の領域に分割され、分割された領域のうち表示領域から遠い領域ほど前記柱状スペーサーの体積が大きいことを特徴とする請求項4記載の液晶表示装置。

【請求項7】 前記第2の基板には、前記柱状スペーサーの当たる領域にダミーパターンが形成されていることを特徴とする請求項1または4記載の液晶表示装置。

【請求項8】 第1の基板と第2の基板とに液晶が挟持され、前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、第1の透明電極とを備え、

前記第2の基板には、ゲート線、ゲート絶縁膜、信号線を含む薄膜トランジスタと、第2の透明電極とを備えた液晶表示装置の製造方法であって、

前記第2の基板の製造工程は、

2

前記薄膜トランジスタを形成する工程の一部で、前記柱状スペーサーと当たる領域にダミーパターンを形成することを特徴とする液晶表示装置の製造方法。

【請求項9】 前記ダミーパターンを形成する工程は、前記ゲート線を形成する工程と、前記ゲート絶縁膜を形成する工程とからなることを特徴とする請求項8記載の液晶表示装置の製造方法。

【請求項10】 前記ダミーパターンを形成する工程は、前記ゲート絶縁膜を形成する工程と、前記信号線を形成する工程とからなることを特徴とする液晶表示装置の製造方法。

【請求項11】 第1の基板と第2の基板とに液晶が挟持され、前記第1の基板には、前記第1の基板と前記第2の基板との間隔を保つ複数の柱状スペーサーと、第1の透明電極とを備えた液晶表示装置であって、

前記第1の基板に前記柱状スペーサーを形成する工程と、

前記第2の基板の前記柱状スペーサーが当たる領域にダミーパターンを形成する工程と、

前記第1の基板と前記第2の基板を貼り合わせる工程と、

前記貼り合わされた第1及び第2の基板を切り落とす工程と、を含む液晶表示装置の製造方法において、

前記柱状スペーサーを形成する工程で前記第1の基板の切り落とされる領域にも前記柱状スペーサーを形成し、前記ダミーパターンを形成する工程で、前記切り落とされる領域に形成された柱状スペーサーの当たる領域にもダミーパターンを形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、詳しくは柱状スペーサー構造を持つ液晶表示装置に関する。

【0002】

【従来の技術】現在、液晶表示装置は形成工程で2枚の基板を貼り合わせるときに、2枚の基板のうちの片側の基板にシール材を塗布し、他方の基板と重ね合わせ、プレス装置で圧力を掛けながらシール材を硬化させる手法がとられている。このとき基板の外周部に強い圧力が掛かりやすいため、外周部の基板間隔が小さくなりやすく、セルギャップ不良に起因する表示不良の原因となることがあった。一方、セルギャップ不良対策として基板全面のスペーサー密度を高くすると、液晶層に真空泡が発生しやすくなるという問題があった。

【0003】

【発明が解決しようとする課題】本発明は、上記問題点に鑑みなされたもので、セルギャップ不良による表示不良を低減し、歩留まりが高く表示性能の良い液晶表示装置を提供することを目的とする。

50

【0004】

【課題を解決するための手段】本発明の液晶表示装置の構成及び製造方法によれば、基板外周部の表示外領域に高密度で柱状スペーサーを形成する、または表示外領域の柱状スペーサーを太く形成することによって、基板貼り合わせ時に基板の外周部に強い圧力が掛かっても、強い圧力に耐えることができ、外周部のギャップが小さくなることのない。

【0005】

【発明の実施の形態】

(実施例1) 以下に本発明の一実施例を図面を用いて詳細に説明する。図1は、本実施例の液晶表示装置の断面図であり、図2はアレイパターンを示す平面図であり、図3は薄膜トランジスタ(TFT:Thin Film Transistor)6部分の拡大断面図である。なお、図1は図2におけるA-A'での断面図である。まず、下側基板であるアレイ基板1と上側基板である対向基板2とが平行に配置され液晶3を挟持し、シール材4によって封着されている。

【0006】まず、アレイ基板1は、厚さ1.1mmのガラス基板5にスイッチング素子としてTFT6(図2、図3)が形成され、そのTFT6に画素電極7が接続されている。そして最上層に配向膜8が形成されている。また、アレイ基板1には、後に対向基板2と貼り合わせたときに対向基板2に形成されている柱状スペーサー13の当たる部分に高さを合わせるためのダミーパターン25が形成されている。

【0007】次に対向基板2は、厚さ1.1mmのガラス基板10上に黒色の遮光層11と遮光層11の間隙にR、G、Bの3色の着色層12(R)、12(G)、12(B)が形成されている。遮光層11は各画素間はマトリクス状に、外周部は幅広の帯状に形成されている。そして、外周部に配された遮光層11の内側を表示領域とし、外周部に配された遮光層11を含みそれより外側を表示外領域とする。表示外領域にはシール材4の外側をも含むこととする。さらに対向基板2には、柱状スペーサー13が表示領域と表示外領域とに作り込まれている。柱状スペーサー13は遮光層11上に形成されており表示外領域に形成されている柱状スペーサー13の本数の密度が表示領域に形成されている柱状スペーサーの本数の密度より高くなっている。さらに、対向基板2には全面に共通電極14が形成されており、そして最上層に配向膜15が形成されている。

【0008】なお、本発明の第1の基板は本実施例中の対向基板2に対応し、同様に第2の基板はアレイ基板1に、第1の透明電極は共通電極14に、第2の透明電極は画素電極7に、それぞれ対応する。

【0009】次に本実施例の液晶表示装置の製造工程を説明する。まず、対向基板2の製造工程を説明する。厚さ1.1mmのガラス基板10上に感光性の黒色樹脂を

スピナー等を用いて塗布し、約90℃で10分乾燥させた後、所定のパターン形状のフォトマスクを用いて露光した後、アルカリ性の溶液にて現像を行い、200℃で60分の焼成をして膜厚約2.0μmの遮光層11を形成する。

【0010】次に、赤色の顔料を分散させた紫外線硬化型アクリル樹脂をスピナーにて塗布し、赤を着色したい部分と柱状スペーサー13を形成したい部分とに紫外線が照射されるようなフォトマスクを介して紫外線を照射し、例えばKOHの1%水溶液で約10秒間現像し、赤の着色層12(R)と3層構造の柱状スペーサー13の一層を形成する。ここで、後に基板の外周部は切り落とされることになるがその切り落とされる領域にも柱状スペーサー13を形成しておく。(図4参照)こうすることにより、貼り合わせ時にセルギャップ不良を起こりにくくなるという効果がある。同様に緑、青についても着色したい部分と柱状スペーサー13を形成したい部分に着色層12(G)、12(B)を繰り返し形成し、それぞれ230℃で60分焼成する。このようにして着色層12(R)、12(G)、12(B)と柱状スペーサー13を形成する。このとき赤、緑、青の着色層12(R)、12(G)、12(B)の膜厚はそれぞれ1.5μmとし、柱状スペーサーの柱の直径は12(R)が10μm、12(G)が13μm、12(B)が16μmで上層ほど太くした。このようにすることによって柱状スペーサー13が逆テーパ状になり、後に共通電極14を基板全面に被覆したときに柱状スペーサー13の側面に共通電極14が付きにくくなるので、電気的にアレイ基板1と導通する可能性が非常に小さくなる。そして、表示領域は1mm²あたり約30個、表示外領域は1mm²あたり約60個の柱状スペーサーを形成した。このとき柱状スペーサーは13遮光層11の上に形成され、さらに、表示領域に形成された柱状スペーサー13はアレイ基板1と貼り合わせたときにゲート線20、または信号線30の上にくるように配置されており、表示外領域は高さを合わせるためにダミーパターン25の上にくるように配置されている。本実施例での柱状スペーサー13は、表示領域はゲート絶縁膜21と信号線30の上に、表示外領域はゲート線20とゲート絶縁膜21のダミーパターンの上25に載っている。さらに、後のラビング処理で柱状スペーサー13が障害になってラビングの陰の領域ができってしまうので、その陰の部分遮光層11の領域内でおさまり、表示に影響を及ぼさない位置にくるように柱状スペーサー13の配置を考慮する必要もある。

【0011】本実施例のように着色層12と同時に柱状スペーサー13を形成すれば、スペーサーを形成する工程を1つ減らすことができるが、着色層と同時に形成しなくても、着色層を形成した後に顔料の入っていない樹脂を用いて別に形成してもかまわない。

5

【0012】その後、共通電極14としてITO(Indium Tin Oxide)膜をスパッタ法にて1500オングストロームの厚さに形成する。この上に、例えばポリイミドを形成しラビング処理を行って配向膜15を形成し、対向基板2が完成する。

【0013】次にアレイ基板1の製造方法は、厚さ1.1mmのガラス基板5上に成膜とパターニングを繰り返してTFT6を形成する。図3に示すようにMoW(モリブデン・タングステン)、あるいはMoTa(モリブデン・タンタル)等から成るゲート線20、図示しない補助容量線、及び補助容量線と一体のトランスファ用の引き出し電極を形成し、そのうえにSiO_xをプラズマCVD法により、4000オングストロームの厚さに堆積し、ゲート絶縁膜21を形成する。ここで、後に対向基板2と貼り合わせたときに対向基板2に形成されている柱状スペーサー13が当たる位置に、高さ合わせのためにゲート線20とゲート絶縁膜21とでダミーパターン25を形成しておく。このダミーパターン25はゲート絶縁膜21と信号線30によって形成してもかまわない。

【0014】その上に、a-Si(アモルファスシリコン)から成る半導体層22をプラズマCVD法により形成し所定の形状にパターニングする。さらに、場合によっては図示しないn⁺a-Siオーミックコンタクト層を介して、Mo/Al/Moから成る電極を形成し、所望の形状にパターニングすることによってソース電極23、ドレイン電極24を形成する。

【0015】次に、透明電極であるITOをソース電極23に接触させるようにパターニングして画素電極7を形成する。最後に、ポリイミド等を形成し、ラビング処理を行うことにより配向膜8を形成する。

【0016】この後、対向基板2の配向膜15の周辺に沿って注入口の部分以外にシール材4を印刷する。次にアレイ基板1の配向膜8と、対向基板2の配向膜15がそれぞれ対向し、かつラビング方向が90°の角度をなすように重ね合わせ、加熱することでシール材4を硬化させ、貼り合わせる。

【0017】次に、真空中に空セルを置き、注入口に液晶材料を浸した状態で徐々に真空状態から大気圧に戻すことによって液晶3を注入することができる。そして、基板外周部を切り落として本実施例における所望の液晶表示装置が得られる。

【0018】なお、本実施例はTFTアレイ基板を用いたアクティブマトリクス型液晶表示装置であり、対向基板側に遮光層が形成された構造であるが、本発明は遮光層がアレイ基板上に形成された構造の液晶表示装置にも適用できる。この場合、柱状スペーサーが形成される基板と、遮光層が形成される基板とが異なることもある。

【0019】また、TFTの構造は本実施例のように逆スタガ型のみに限るものでなく、さらには上下基板にス

6

トライブ状の電極を備えたシンプルマトリクス型液晶表示装置にも適用可能である。

【0020】このように、本実施例は多くの変更及び修正をつけ加えられることは勿論である。

(実施例2)本実施例は、図5に示すように、実施例1における対向基板2の表示外領域を表示領域に近い側の領域(D1)と表示領域から遠い側の領域(D2)との2つの領域に分割し、柱状スペーサーの本数の密度を、表示領域は1mm²に約30個、D1は1mm²に約45個、D2は1mm²に約60個とした。

【0021】なお、上記のD1、D2のように領域を明確に分けることなく、表示領域から離れていくに従い、徐々に密度を高くしていてもかまわない。他の構成等は実施例1と同様である。

【0022】本実施例によれば、柱状スペーサー13の密度を高くすることで発生し易くなる真空中泡を、表示領域の近くに発生させることを防止でき、かつセルギャップ不良をも低減することができる。

【0023】(実施例3)本実施例は図6に示すように、表示領域と表示外領域とで柱状スペーサー13の体積を変える構造である。液晶表示装置の場合2枚の基板がほぼ平行に配置されているので、柱状スペーサーの体積を変えることが柱状スペーサーの太さを変えることとほぼ同義であるといえる。ただし、柱状スペーサーがテーパ状であったり、太さが途中で変化している柱状スペーサーの場合はこの限りではない。

【0024】本実施例は、表示領域には、柱状スペーサー13を形成する12(R)の直径を約10μm、12(G)の直径を約13μm、12(B)の直径を約16μmの太さとし、表示外領域には12(R)の直径を約20μm、12(G)の直径を約26μm、12(B)の直径を約32μmの太さで形成した柱状スペーサー13を形成した。

【0025】他の構成等は実施例1と同様である

(実施例4)本実施例は図7に示すように、表示外領域を表示領域に近い側の領域D3と表示領域から遠い側の領域D4とに分割し、表示領域には、柱状スペーサー13を形成する12(R)の直径を約10μm、12(G)の直径を約13μm、12(B)の直径を約16μmの太さとし、表示外領域のD3には12(R)の直径を約15μm、12(G)の直径を約20μm、12(B)の直径を約24μmの太さで形成した柱状スペーサー13を形成し、表示外領域のD4には12(R)の直径を約20μm、12(G)の直径を約26μm、12(B)の直径を約32μmの太さで形成した柱状スペーサー13を形成した。

【0026】なお、上記のD3、D4のように明確に領域を分割せずに表示領域から遠くに行くに従い徐々に柱状スペーサーの直径を大きくしていてもかまわない。(図8参照)他の構成等は実施例1と同様である。各実

50

7

施例とも実施例1と同様に、遮光層がアレイ基板上に形成された構造等をはじめ、さまざまな変形が可能なのは言うまでもない。

【0027】

【発明の効果】本発明によれば、貼り合わせ時に起因するセルギャップ不良による歩留まりの悪さを改善し、表示性能の良い液晶表示装置を安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1における液晶表示装置の断面図である。

【図2】本発明の一実施例における液晶表示装置のアレイパターンを示す平面図である。

【図3】本発明の一実施例における液晶表示装置の薄膜トランジスタの構造を示す拡大断面図である。

【図4】本発明の一実施例における液晶表示装置の断面図であり、基板外週部の切り落とされる領域に形成された柱状スペーサー、及びダミーパターンを示す図である。

【図5】本発明の実施例2における液晶表示装置の断面図である。

【図6】本発明の実施例3における液晶表示装置の断面

8

図である。

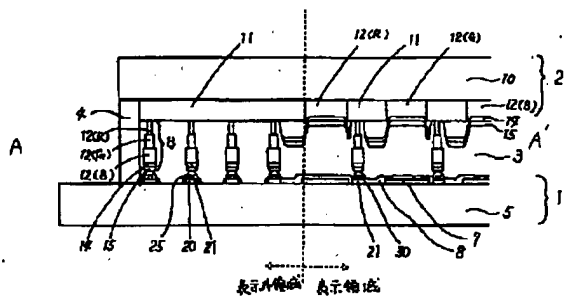
【図7】本発明の実施例4における液晶表示装置の断面図である。

【図8】本発明の実施例4の変形例における液晶表示装置の断面図である。

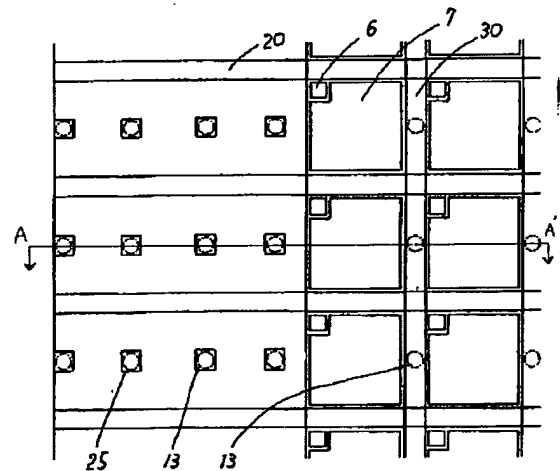
【符号の説明】

- 1…アレイ基板
- 2…対向基板
- 3…液晶
- 4…シール材
- 5、10…ガラス基板
- 6…薄膜トランジスタ
- 7…画素電極
- 8、15…配向膜
- 11…遮光層
- 12(R)、12(G)、12(B)…着色層
- 13…柱状スペーサー
- 14…共通電極
- 20…ゲート線
- 21…ゲート絶縁膜
- 25…ダミーパターン
- 30…信号線

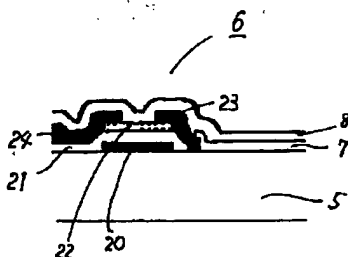
【図1】



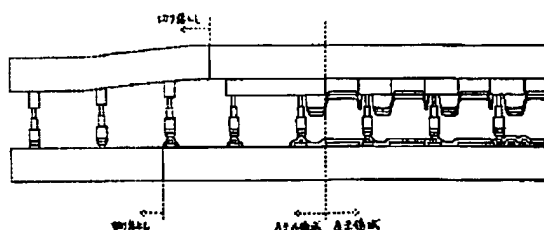
【図2】



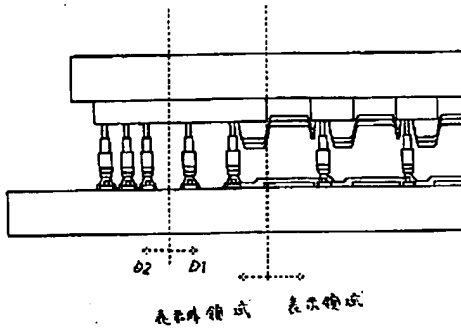
【図3】



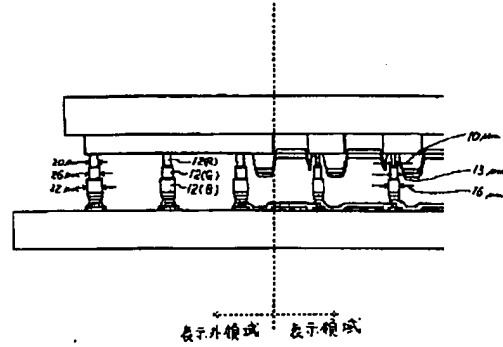
【図4】



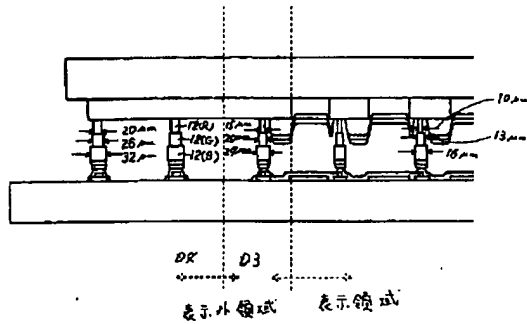
【図5】



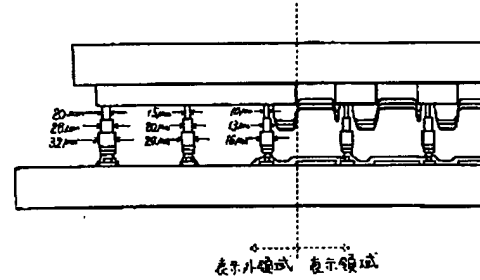
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 倉内 昭一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 緑川 輝行
神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内